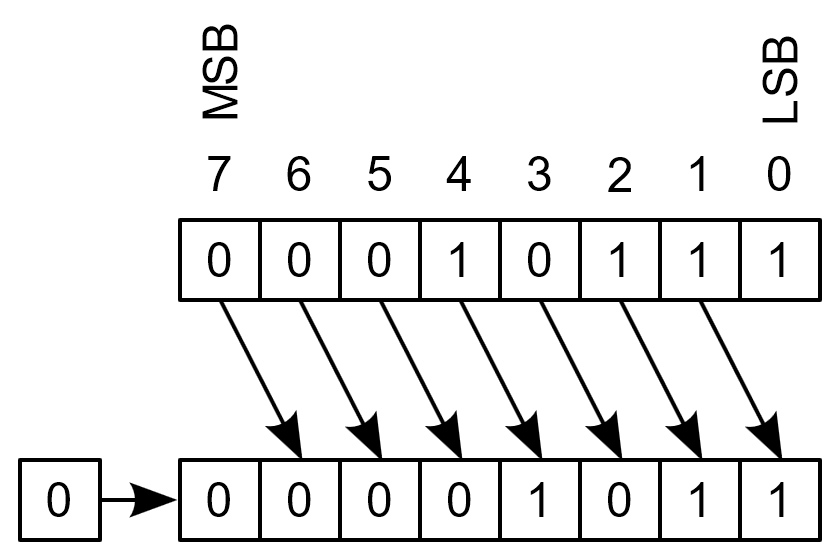
Resumo para a Avaliação Intermediaria

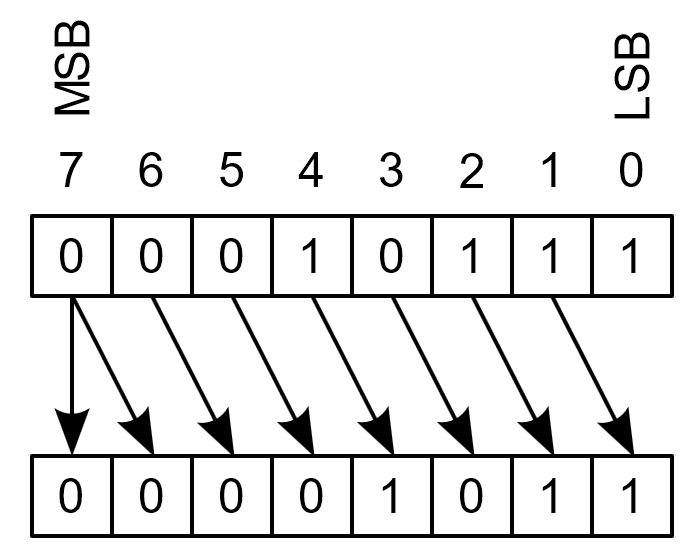
Design de Computadores

## Deslocador Lógico para direita



## Conversão rápida

## Deslocador Aritmético para direita



|  |  |  |  |
| --- | --- | --- | --- |
| **0** | 0000 | **8** | 1000 |
| **1** | 0001 | **9** | 1001 |
| **2** | 0010 | **A** | 1010 |
| **3** | 0011 | **B** | 1011 |
| **4** | 0100 | **C** | 1100 |
| **5** | 0101 | **D** | 1101 |
| **6** | 0110 | **E** | 1110 |
| **7** | 0111 | **F** | 1111 |

## Boilerplate VHDL

library IEEE;

use IEEE.STD\_LOGIC\_1164.ALL;

use IEEE.NUMERIC\_STD.ALL;

-- Declaração

entity COMPONENTE is

    generic (

        NOME : TIPO := VALOR\_PADRÃO;

*)*;

    port (

        NOME : in/out TIPO := VALOR\_PADRÃO;

*)*;

end entity;

architecture VARIEDADE of COMPONENTE is

    signal NOME : TIPO =: VALOR\_PADRÃO;

begin

  -- CÓDIGO

end architecture VARIEDADE;

-- Instância

NOME:

entity *work.COMPONENTE* generic map (

  NOME => NOME,

*)* port map (

  NOME => SINAL,

*)*;